

МОДУЛЬНЫЕ РЕШЕНИЯ В СХЕМОТЕХНИКЕ ЦИФРОВОГО ДИАГРАММООБРАЗОВАНИЯ

Приведен обзор вариантов схемотехнических решений для проектирования радиотехнических систем на основе использования модульных технологий цифрового формирования характеристик направленности антенных решеток.

Реализация цифрового диаграммообразования (ЦДО) как базовой технологии радиолокации [1], связи [2] и других информационных приложений возможна на основе использования унифицированных модулей цифровой обработки сигналов (ЦОС). Поскольку многовариантность подходов ограничена номенклатурой устройств, доступных на мировом рынке, в настоящей статье проведен анализ такой продукции и рассмотрены соответствующие варианты возможных схемных решений, реализующих алгоритмы ЦДО.

По сложившемуся разграничению сфер интересов, ведущие мировые производители АЦП, ЦАП и сигнальных процессоров (Texas Instruments, Analog Devices и т. д.), как известно, не располагают требуемой номенклатурой готовых модулей ЦОС. Их изготовлением занимаются другие компании, что приводит к многократному удорожанию ЦОС-систем по сравнению со стоимостью исходных комплектующих, а нередко и к отставанию в сроках освоения новейших достижений в развитии элементной базы. Об этом позволяет судить размещенная в Интернет информация о базовых модулях ЦОС производства Traquair Data Systems, Pentec (США), Sundance Multiprocessor Technology (Великобритания), Interactive Circuits and Systems (Канада), АО «Инструментальные системы» (Москва) и других фирм, специализирующихся на выпуске ЦОС-продукции.

Однако, несмотря на это обстоятельство, тем, кто впервые приступает к освоению технологии ЦДО, заведомо дешевле воспользоваться готовыми схемотехническими решениями, отложив самостоятельную разработку и производство необходимых специализированных модулей, например, на этап подготовки серийного выпуска продукции. Поэтому предлагаемый обзор может служить ориентиром при выборе схемной реализации ЦДО в зависимости от специфики решаемой задачи.

Для систематизированного изложения последующего материала все многообразие модулей ЦОС, пригодных для систем ЦДО, можно условно классифицировать по ряду признаков. Основными среди них являются тип используемого интерфейса (последовательный либо параллельный (PCI, CompactPCI, VME и др.)); степень воздействия модуля на цифровые данные (без спецвычислителя, со спецвычислителем на базе DSP, ASIC или програм-

мируемых матриц логических элементов (ПМЛЭ)); тип используемого преобразователя (АЦП, ЦАП либо их комбинация); количество каналов обработки (одноканальные, многоканальные); конструктивное исполнение (моноблочный, мезонинно-модульный, многомодульный).

Выбор интерфейса — ключевое звено в схемотехнической стратегии разработки любой системы ЦДО. Только при наличии высокопроизводительных цифровых магистралей возможно обеспечить трансляцию массивов напряжений приемных каналов на входы диаграммоформирующих модулей для корректного функционирования процедур ЦДО. Однако, неоправданное завышение требований к интерфейсам обмена может существенно повлиять на стоимость реализации технического проекта.

В условиях постоянного совершенствования информационных технологий задача выбора предпочтительного протокола обмена является весьма сложной и неоднозначной, однако сложившийся на сегодня расклад технологических достижений позволяет достаточно аргументировано высказаться в пользу конкретных вариантов реализации ЦДО. Среди высокоскоростных интерфейсов межмодульного обмена, используемых в промышленном оборудовании, наибольшее распространение получили параллельные протоколы, представленные в табл. 1. До недавнего времени лидерство в промышленном секторе принадлежало семейству интерфейсов VME (VERSAmodule Eurocard), берущему начало от электрической спецификации VERSAbus, разработанной в 1979 г. фирмой Motorola и принятой в качестве коммерческого стандарта для плат формата Eurocard в 1981 г. Наиболее скоростной из них (VME320) является относительно новой разработкой и пока не стал доступным на международном рынке модулей ЦОС, возможно по причине его дороговизны — в отличие от прежде «бесплатных» спецификаций VME, в основу VME320 положена запатентованная Arizona Digital Inc. (США) технология «звездной» разводки проводников к контактам Backplane.

Широкому распространению интерфейса VME64 способствовала возможность компенсации его низкой пропускной способности с помощью дополнительного параллельного протокола FPDP (Front Panel Data Port, стандарт VITA 17-199х), применяемого в виде навесных 80-жильных шлейфов в VME-модулях.

С развитием индустрии персональных компьютеров в промышленных приложениях все чаще стали применяться интерфейсные стандарты, присущие компьютерам семейства PC. Естественно, схемотехника ISA- и EISA-подходов не могла конкурировать с более производительными VME-решениями, однако с появлением протокола PCI (Peripheral Component Interconnect) ситуация изменилась. Сегодня можно утверждать, что с точки зрения удобства совместимости с программным обеспечением компьютеров линии Intel PC, на

фоне технологической сложности и дороговизны использования тандемов VME + FPDP нередко предпочтительным выбором являются решения в классе интерфейсов PCI и их разновидности CompactPCI, разработанной в 1994 г. специалистами PICMG (PCI Industrial Computer Manufacturer's Group) под форм-фактор плат Eurocard. Наряду с реализацией стандартного интерфейса PCI у шины CompactPCI имеется ряд специфичных особенностей, которые можно с успехом использовать для нужд независимого от PCI-интерфейса управления.

Таблица 1

Шина	Тактовая частота шины (МГц)	Макс. пропускная способность (Мбайт/с)	Разрядность адресной шины	Разрядность шины данных
VME64 (6U), спец. ANSI/VITA 1-1994	10	80	64	64
VME64x (6U), спец. VITA 1.1-1997	20*	160	64	64
VME320	40*	320	32	64
FPDP	40	160	32	32
ISA	8,33	5	24	16
EISA	8,33	33	32	32
PCI v2.1	33	133	32	32
PCI v2.2	66	533	32	64
CompactPCI	33	133	32	32
CompactPCI Ver.2.0 rev.3.0	33	266	32	64

* — срабатывание по фронту и срезу тактовых импульсов.

С учетом сказанного дальнейший обзор модульных решений будет касаться исключительно ниши PCI-совместимых технологий. При этом CompactPCI-подход следует рассматривать как ключевой для отлаженных систем Hi-Fi-класса, тогда как PCI-концепцию целесообразно ориентировать на опытные, демонстрационные версии оборудования, а также доминирование в серийной продукции, критичной не к промышленным условиям эксплуатации, а к значениям показателей «эффективность-стоимость».

Такому выбору способствует ценовой фактор (аналогичные модули CompactPCI обычно в 2—3 раза дороже PCI-альтернатив) и появление в последнее время большого ассортимента интерфейсных расширителей, допускающих установку до 18 и более PCI-устройств на одну несущую плату (Backplane) вместо 3—6 слотов в обычном компьютере. Следует также учесть, что интенсивная эволюция PCI-протокола уже привела к внедрению в промышленные модули стандарта PCI v.2.2, который при тактовой частоте 66 МГц и 64-разрядной шине данных позволяет получить теоретическую пропускную способность до 533 Мбайт/сек. При этом, благодаря запатентованным разработкам фирмы Arizona Digital Inc., существует реальная возможность увеличить количество слотов на соответствующей (66 МГц) PCI-Backplane до 21, не прибегая к помощи развязывающих мостов (PCI-to-PCI-bridges), и даже создать оптимизированные под 133 МГц 21-слотовые кросс-платы с пропускной способностью на шине PCI-X до 1.066 Гбайт/с. В этой связи переход к PCI-технологиям в их нынешнем варианте создает предпосылки для эффективного освоения высокоскоростных версий PCI в будущих проектах. Учитывая, что PCI-схемотехника без особых проблем масштабируется в CompactPCI-решения и наоборот, большинством производителей изготовление ЦОС-модулей может осуществляться под выбранный заказчиком протокол обмена. Поэтому далее для удобства изложения речь будет идти в основном о PCI-решениях, которые при необходимости можно рассматривать как прототип для CompactPCI-эквивалентов.

В случае обработки низкочастотных сигналов, когда допустимо иметь сравнительно медленный темп программного формирования цифровой характеристики направленности, совпадающий с периодом дискретизации АЦП (ЦАП), аппаратная часть системы цифрового синтеза луча сводится к использованию модулей ЦОС, не содержащих спецвычислителя и оборудованных интерфейсом какой-либо универсальной шины из числа указанных в табл. 1. Сравнительный анализ таких модулей приведен, например, в [3], их применение возможно в акустических и гидроакустических приложениях при узкополосных сигналах. Однако для высоких темпов работы АЦП, когда в цифровом виде дополнительно необходимо осуществить коррекцию характеристик каналов [4], а также фильтрацию и расквadrатурирование принятых сигналов, возникает необходимость в предварительной обработке отсчетов цифровых данных. Ее реализация возможна только при использовании спецвычислителей, однако простейший вариант многомодульного конструктива, когда обмен между платами АЦП (ЦАП) и спецвычислителя, образующих многомодульный приемный канал, осуществляется через традиционный интерфейс (табл. 1), здесь не применим.

Несложные расчеты показывают, что для выполнения жестких требований по пропускной способности аппаратуры первичной обработки сигналов предпочтительнее отказаться от многомодульного построения приемных каналов и перейти к моноблочным либо мезонинно-модульным конструктивам (мезонином называют дочернюю плату, устанавливаемую на основной модуль-носитель параллельно его поверхности).

Это позволяет ограничить круг возможных аппаратных решений, исключив из рассмотрения модули высокоскоростных АЦП (ЦАП), оснащенные лишь интерфейсом PCI (CompactPCI), а также акселераторные платы спецвычислителей, не имеющие мезонинных разъемов для подключения submodule ввода-вывода данных. Поэтому дальнейший анализ можно осуществлять без учета продукции американских фирм Pentek, VMIC, Systran Corp., Catalina Research Inc., канадских Interactive Circuits and Systems, Gage Applied Sciences Inc., германской Keithley Instruments, и других, в каталогах которых применительно к PCI-стандартам фигурирует преимущественно такая продукция.

Отказ от передачи данных с выходов АЦП (ЦАП) на входы модулей последующей цифровой обработки через PCI-интерфейс обеспечивает выполнение жестких требований по пропускной способности аппаратуры первичной обработки данных при условии использования PCI-шины для выдачи результирующих комплексных напряжений приемных каналов на диаграммообразующую схему. Согласно предварительным расчетам, при 32-разрядном представлении напряжений квадратур сигналов PCI-протокол v.2.1 позволяет осуществить закачку массива комплексных напряжений из восьми модулей ЦОС в диаграммообразующую схему (с учетом задержек на мосту PCI-to-PCI) и выполнить обратное извлечение из нее напряжений синтезированных вторичных каналов в течение интервала времени более 3 мксек. При этом предполагается, что формирователь диаграммы направленности и узлы сбора напряжений синтезированных в результате ЦДО вторичных каналов расположены на той же плате Backplane, что и составные модули «АЦП(ЦАП) + спецвычислитель» (рис. 1).

Ориентируясь на использование готовых модульных решений, дальнейший отбор элементной базы может быть осуществлен на основе анализа номенклатуры PCI-плат сигнальных процессоров с мезонинными интерфейсами для подключения submodule быстродействующих АЦП (ЦАП). К сожалению, разработки российского ЗАО «L-Кард» [3], украинских Holit Data Systems, Saturn Data International (Киев) и им подобных по номенклатуре предлагаемых модулей ЦОС не удовлетворяют требованиям специфики ЦДО, поскольку имеют недостаточные по быстродействию параметры преобразователей. К фирмам, чья продукция по своим параметрам подходит для проектирования систем с цифровым формированием луча, прежде всего следует отнести

Traquair Data Systems (США), Heron Engineering, Nallatech Ltd. и Sundance Multiprocessor Technology (Великобритания), московское АО «Инструментальные системы», воронежскую фирму Scan Engineering Telecom и ее днепропетровского партнера «Пульсар Лтд».

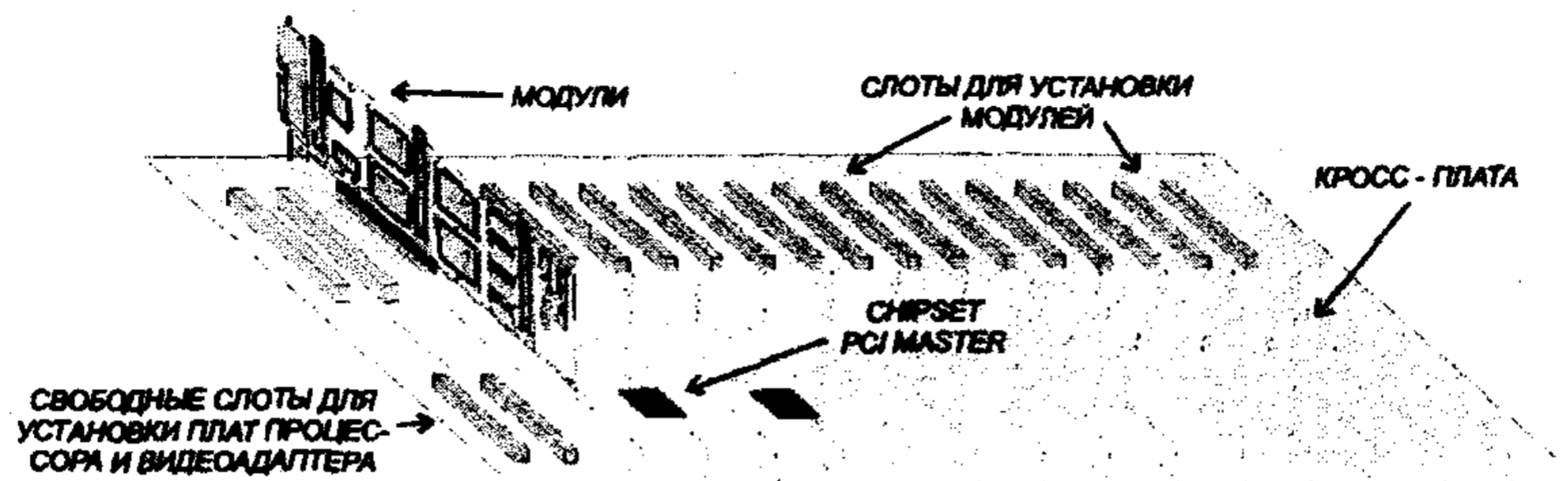


Рис. 1

Достаточно привлекательным в продукции большинства указанных фирм является наличие в ассортименте несущих плат с PCI-разъемом, на которые может устанавливаться до четырех мезонинов с сигнальным процессором или АЦП (ЦАП). При таком подходе достигается компактность многоканальных конструктивов, существенно снижается требуемое количество PCI-гнезд на материнских платах HOST-процессоров, необходимое для осуществления многоканального сбора информации.

В качестве разъема для подключения мезонинов к указанным несущим PCI-платам наибольшее распространение получила устаревшая спецификация TIM-40 (1992 г.) фирмы Texas Instruments. Пока что таковая не имеет альтернатив в многомодульных кросс-платах от АО «Инструментальные системы» (Россия), тогда как Traquair Data Systems (США) и ее британский партнер Heron Engineering дополнительно внедрили новый интерфейс собственной разработки HEART, обеспечивающий темп межмодульного обмена до 400 МБайт/с. Речь идет о мезонинно-несущих модулях NEPC8 и NEPC9, представление о функциональной схеме которых позволяет получить рис. 2. Sundance Multiprocessor Technology (Великобритания) добилась такой же скорости межмодульного трафика (до 400 МБайт/с) в рамках оригинальной TIM-совместимой спецификации для несущей платы SMT350 (рис. 3). При этом максимальная скорость обмена по линии «модуль процессора Сбх — шина PCI» достигает 120 МБайт/с, что почти полностью реализует потенциал протокола PCI v. 2.1 (табл. 1). Очевидно, что подход Sundance Multiprocessor Technology более удачен, поскольку является дальнейшим развитием традиционного стандарта и совместим с его менее скоростным прототипом.

Отличительной особенностью номенклатуры устройств, выпускаемых АО «Инструментальные системы», является наличие двухканальных мезони-

нов с высокоскоростными АЦП (ЦАП), стыкуемых по специальному ADM-интерфейсу с PCI-платой ADP6x01PCI (ADP620xPCI) сигнального процессора TMS320C6x. Пропускная способность ADM-шины обеспечивает передачу данных с выходов АЦП со скоростью до 200 МБайт/сек.

Следует отметить, что анализ характеристик продукции перечисленных фирм не позволяет выделить явного лидера и безоговорочно принять решение об окончательном варианте комплектации цифрового тракта обработки сигналов. Traquair Data Systems, имея наиболее продвинутый задел в освоении новейших сигнальных процессоров (HERON-модули с TMS320C6203, рассчитанным на тактовую частоту 300 МГц, выпускаются с 1999 г., в стадии освоения — модули под процессоры TMS320C64 с тактовой частотой более 1 ГГц),

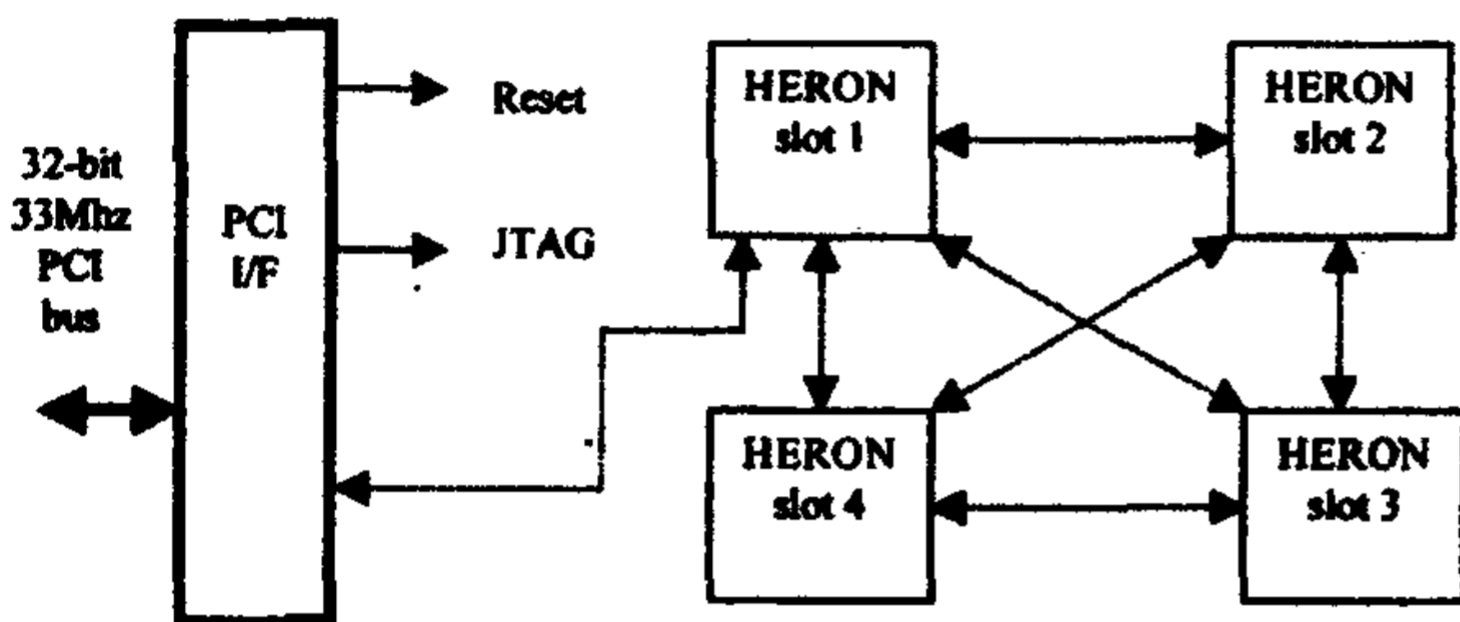


Рис. 2

до недавнего времени обладала посредственными показателями в быстродействии плат АЦП (в 2-канальном режиме модули 12-разрядных АЦП HEGD9 имеют предельную частоту дискретизации 33,3 МГц) и лишь новые, совместные с Heron Engineering, разработки

HERON-IO1 (IO2) на базе двух АЦП AD9432 как-то выравнивают ситуацию. В свою очередь, предлагая мезонины с достаточно скоростными АЦП (ЦАП), специалисты АО «Инструментальные системы» оказались пока не в состоянии освоить выпуск многомодульных несущих PCI-плат с требуемой пропускной способностью мезонинного интерфейса. В этом смысле Sundance Multiprocessor Technology занимает пока компромиссную середину, однако ее продукция, равно как и Traquair Data Systems, дороже аналогичных решений московского конкурента. Впрочем, не исключено, что в перспективе такой расклад вполне может измениться. В частности, в Sundance Multiprocessor Technology ведутся интенсивные работы по внедрению дешевой серии мезонинов сигнальных процессоров SMT600 с двух и даже трехкратным снижением стоимости по сравнению с аналогичными модулями нынешней спецификации SMT300, а также освоена плата четырехканального АЦП SMT354 с частотой дискретизации по каждому каналу до 105 МГц.

Принимая во внимание изложенное, в условиях жестких финансовых ограничений на данном этапе можно рекомендовать продукцию АО «Инструментальные системы» в качестве приемлемого варианта решения задач ЦДО в классе модулей «АЦП (ЦАП) + DSP».

Альтернативный подход к построению систем ЦДО состоит в применении модулей ЦОС на базе ПМЛЭ, в частности фирмы Xilinx. FPGA-серия Virtex-E таких ПМЛЭ позволяет осуществить предварительную обработку отсчетов АЦП с частотой ввода данных до 300 МГц. При формате кодов АЦП 12—14 разрядов и частоте дискретизации до 400 МГц такой вариант реализации является серьезной альтернативой использованию сигнальных процессоров как с точки зрения стоимости образцов, так и рассеиваемой ими мощности. Это особенно важно при построении многоканальных систем с ЦДО. Использование FPGA, в отличие от DSP-схемотехники, позволяет жестко синхронизировать пошаговое выполнение алгоритмов ЦОС в многоканальных системах благодаря отказу от использования аппаратных прерываний. Наличие в ПМЛЭ до 50000 и более системных вентиляй способствует также интеграции на один кристалл процедур цифровой коррекции характеристик приемных каналов, например типа [4].

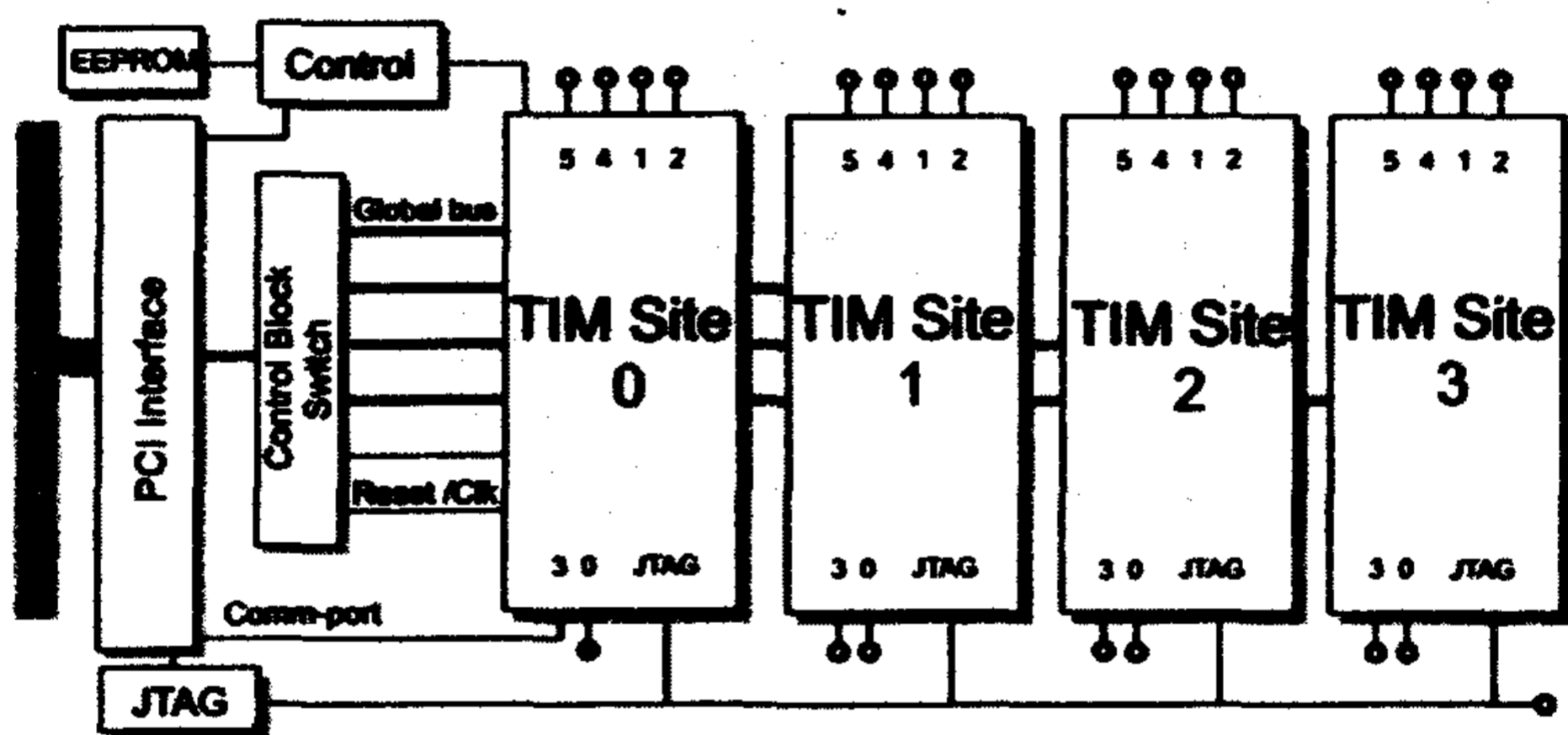


Рис. 3

Во многом по этим причинам FPGA-направление в обработке сигналов сегодня существенно потеснило рынок процессорных систем и заняло рекордные по достигнутым показателям позиции. Например, великобританская компания Nallatech Ltd. в августе 2001 г. разместила на своем Интернет-сайте информацию о создании CompactPCI-модуля Venadic в конструктиве 6U, содержащего 20 АЦП с тактовой частотой до 105 МГц и разрядностью 14 бит (стоимость модуля около 35360\$). Функциональная схема «рекордсмена» приведена на рис. 4. Данный модуль относится к классу монолитных FPGA-устройств и в случае оцифровки квадратурных составляющих аналоговых сигналов позволяет сформировать цифровой отклик 10-канальной ЦАР, взяв на себя функции цифрового формирования луча. Указанный модуль предназначен для установки в многосотовые шасси (Backplane) с CompactPCI-интерфейсом. Предельный вариант таких конструктивов рассчитан на 21-слотовую компо-

новку, что при использовании одного хост-процессорного модуля позволяет обработать квадратурные отклики 400 каналов ЦАР. Однако низкая пропускная способность стандартной CompactPCI-шины вряд ли позволит обеспечить функционирование систем с такой конфигурацией без перерывов в поступлении информации.

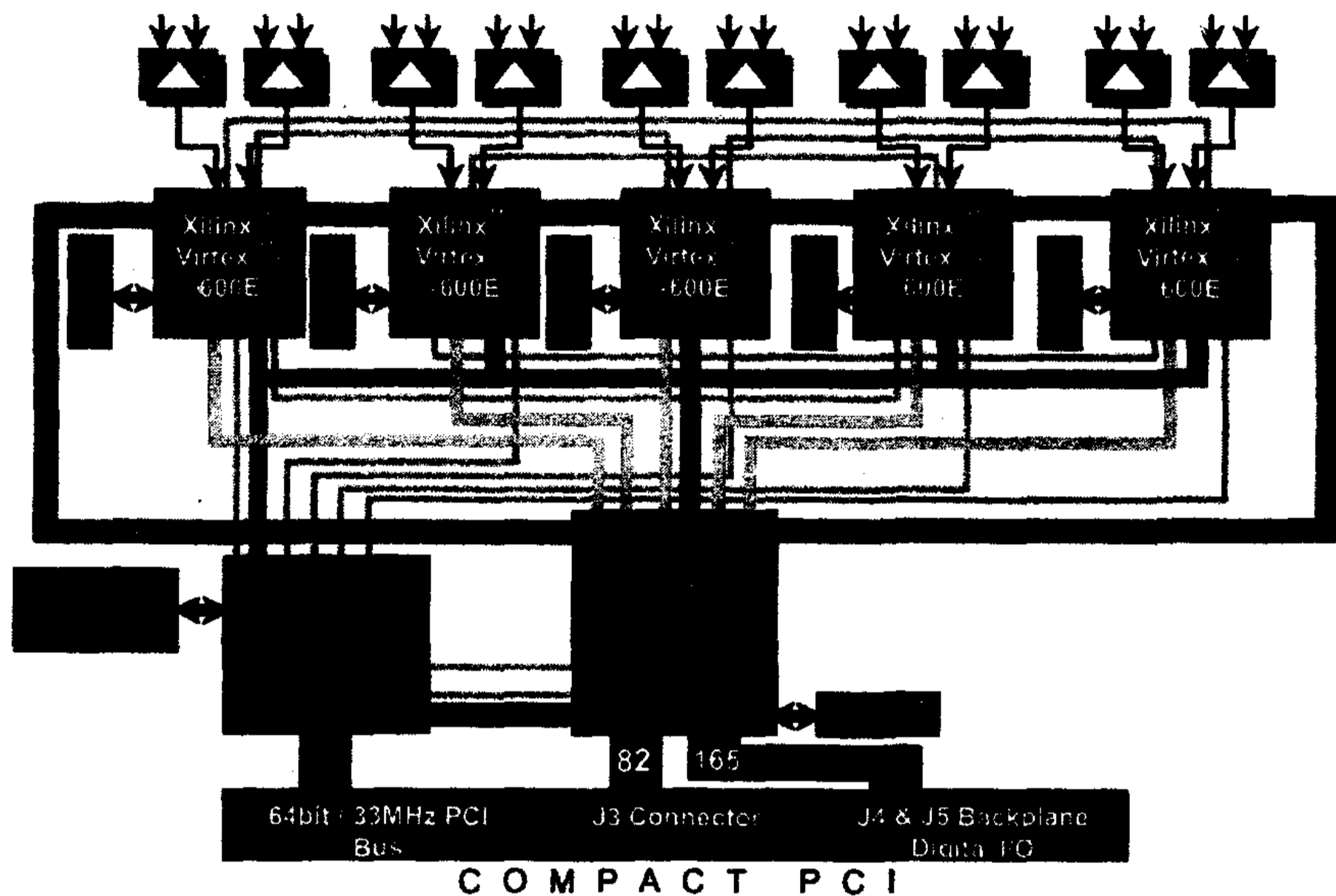


Рис. 4

Достаточно интересными для приложений ЦДО в ассортименте продукции Nallatech Ltd. (Великобритания) являются также мезонинно-модульные конструктивы «FPGA-модуль + мезонин АЦП-FPGA» в PCI-версии либо с интерфейсом CompactPCI. Для реализации максимальной производительности таких FPGA-узлов и их гибкой реконфигурации на уровне субмодулей под нужды заказчиков в Nallatech был разработан мезонинный стандарт DIME и его продвинутый вариант DIME II. Типовой DIME-конструктив имеет размеры 97×59,5 мм и сообщается с несущей платой посредством более 200 интерфейсных линий. В качестве несущей кросс-платы для мезонинов DIME Nallatech предлагает полноформатные PCI-платы Ballynuey2 и Ballynuey3, рассчитанные на установку до четырех субмодулей DIME. От аналогичных по форм-фактору несущих плат, типа представленной на рис. 2, Ballynuey3 отличается наличием до двух ПМЛЭ Xilinx, что открывает принципиально новую возможность межканальной обработки данных для ЦДО до сброса данных на шину PCI.

Функциональная схема Ballypuey3 приведена на рис. 5. Плата рассчитана на интерфейс PCI ver.2.2 (64 бит 33 МГц), установку двух банков SSRAM по 16 Мбайт каждый, а также размещение FPGA Virtex II серий 2V1000-2V3000 емкостью до 3 млн. логических ячеек. Ядро интерфейса PCI и конфигурационная прошивка инициализации FPGA Virtex II размещены во второй FPGA Xilinx серии Spartan II емкостью до 200 тыс. ячеек.

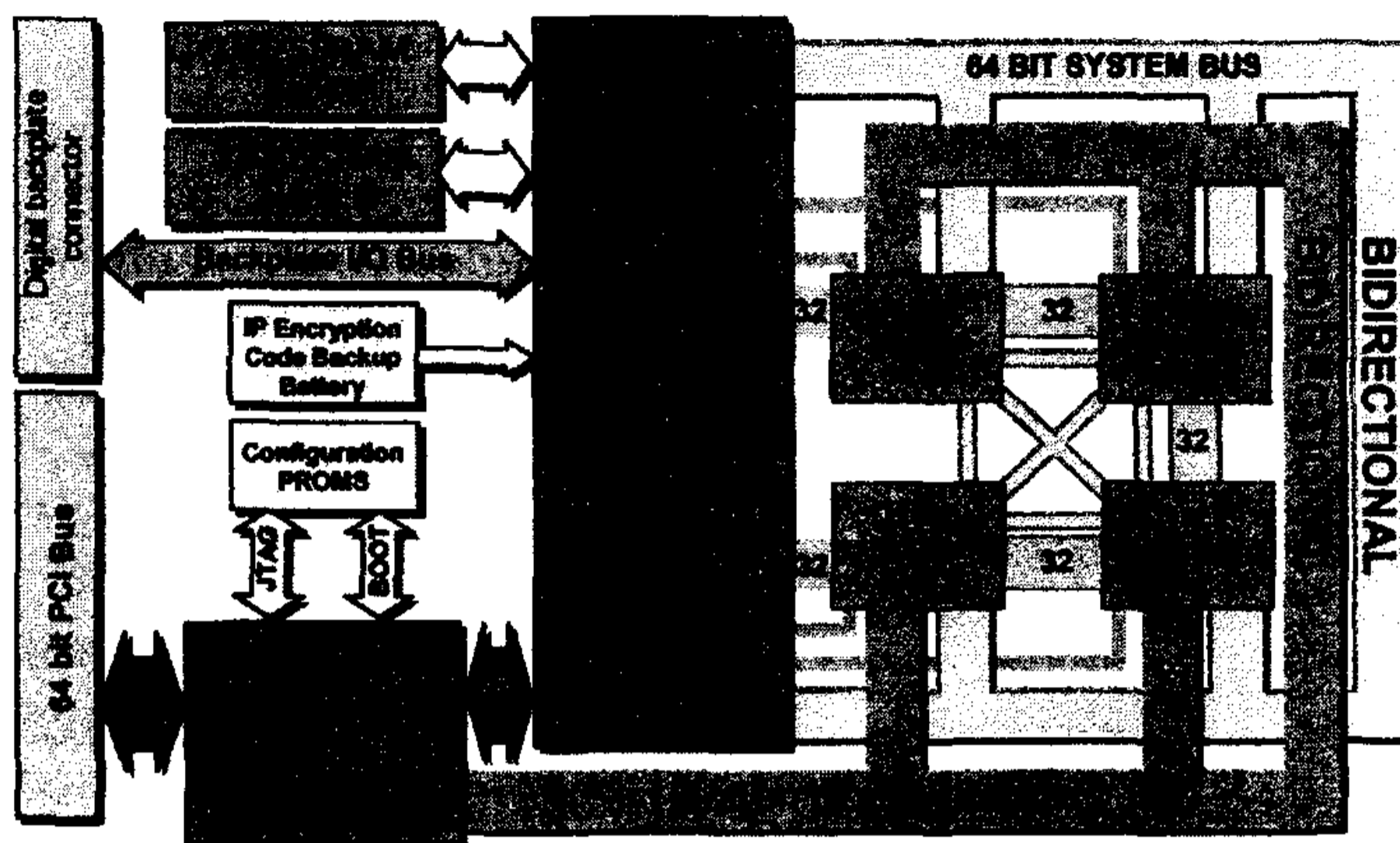


Рис. 5

Что касается DIME-узлов, то среди таковых наибольшего внимания заслуживают четырехканальные мезонины АЦП Ballyriff и ЦАП Ballydac. Функциональная схема мезонина Ballyriff приведена на рис. 6. Он содержит четыре 12-разрядных АЦП AD9432 от Analog Device с частотой дискретизации 105 МГц, Virtex FPGA серий XCV400E-2000E емкостью от 400 тыс. до 2 млн. логических ячеек, банк SDRAM 128 Мбайт, доступ к которому осуществляется по 32-битной шине. Предусмотрена подача на мезонин 4 внешних сигналов, в том числе такта АЦП. По аналогичному принципу построен и ЦАП-мезонин Ballydac, содержащий четыре 14-разрядных ЦАП с частотой тактирования 150 МГц.

Интерфейс DIME-II отличается от DIME наличием второй пары разъемов, что повышает общее количество линий ввода/вывода до 400. Суммарная вычислительная производительность DIME-II в пределе выходит на уровень нескольких TeraOps, а результирующая полоса пропускания достигает 10 Гбит/с. Примером такого субмодуля является Benfad, содержащий два 8-разрядных АЦП MAX104 фирмы Maxim, имеющих частоту дискретизации 640 МГц при максимальной полосе входного сигнала 2,2 ГГц. В качестве несущей платы для DIME-II-мезонинов пока позиционируется лишь CompactPCI-Backplane

под названием Вепега, поэтому последующее рассмотрение возможных схемотехнических реализаций системы с ЦДО ограничим рамками submodule DIME.

Нетрудно подсчитать, что одна плата Ballypuey3 в полной комплектации четырьмя мезонинами АЦП Ballyriff позволяет осуществить оцифровку сигналов по выходу 8-элементной ЦАР и выполнить 8-лучевое ЦДО на основе БПФ с последовательной выдачей на PCI-слот комплексных напряжений синтезированных вторичных каналов. Аналогично, заменой мезонинов АЦП на submodule ЦАП Ballydac, можно получить передающий сегмент 8-элементной ЦАР, генерирующий в комплексном виде массив аналоговых напряжений для

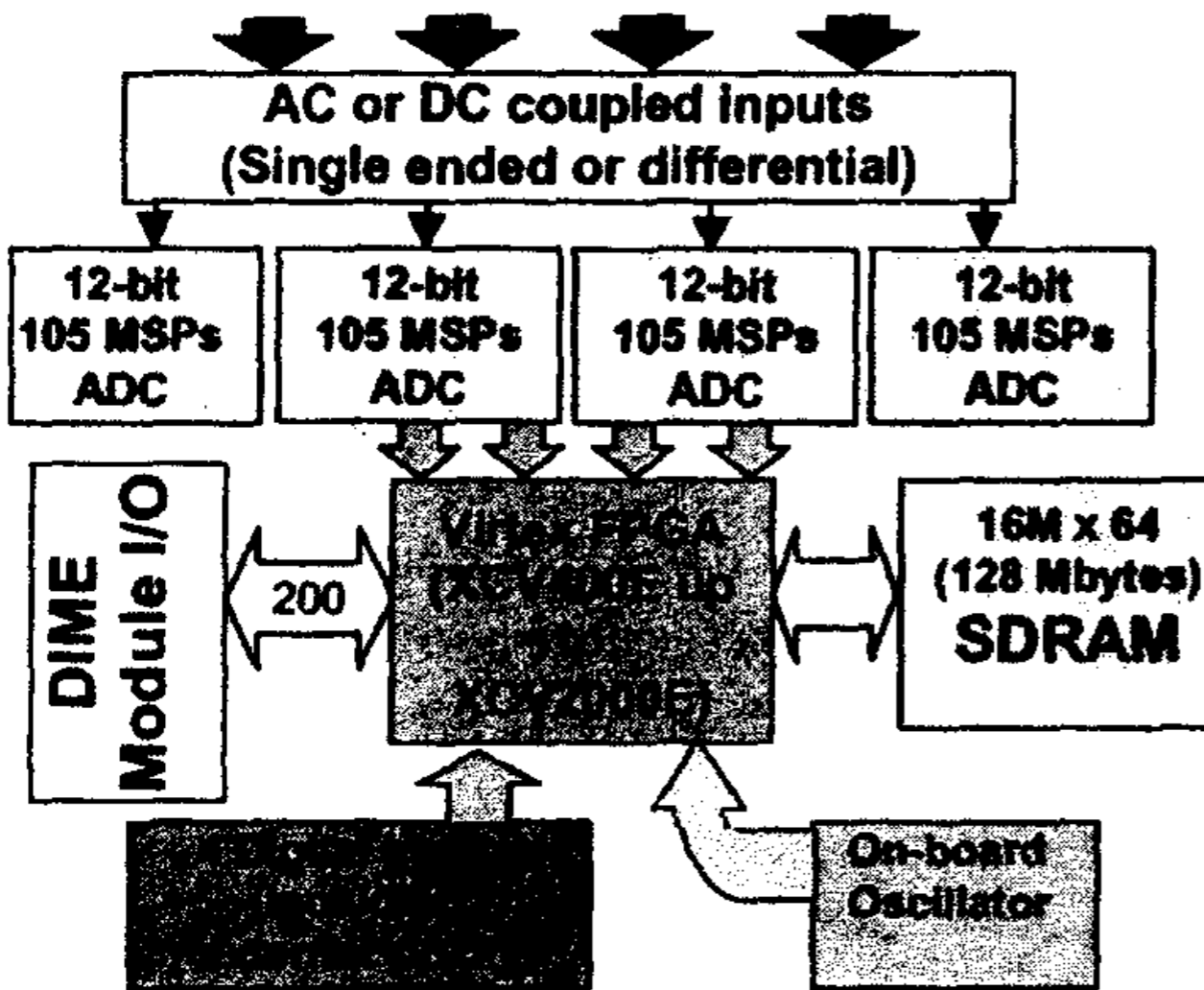


Рис. 6

формирования амплитудно-фазового распределения электромагнитного поля на раскрыве антенной решетки. В итоге, для конформной приемо-передающей шестигранной ЦАР, каждая грань которой образована 8-элементной линейкой излучателей, можно обойтись комплектующими в составе 24 мезонинов АЦП Ballyriff и столько же модулей ЦАП Ballydac, установленных на 12 плат Ballypuey3, которые, в свою очередь, могут быть смонтированы на 14-слотовом Active Backplane типа RBP-14AC от

Portwell Inc., содержащем 12 разъемов PCI, либо аналогичной кросс-плате тайваньской фирмы Alptech Logic Products Inc.

Для цилиндрической приемо-передающей ЦАР, образованной 8-ю вертикальными 8-элементными линейками излучателей, аналогичное схемное решение базируется на 32 мезонинах Ballyriff, 32 Ballydac и 16 платах Ballypuey3. Для снижения затрат на закупку комплектующих в этом случае предпочтительнее выбрать вариант технического решения, сводящийся к размещению на одной несущей PCI-плате всех 16 Ballypuey3. Среди соответствующих моделей Active Backplane можно отметить 19-слотовую PICMG-плату AP-PSL18B (Alptech Logic Products Inc.) с 16 PCI-разъемами и две разработки от Portwell: 19-слотовую ACTI-18AN с 17 PCI-разъемами и 19-слотовую RBP-19AI с 18 PCI-разъемами. Ее стоимость в СНГ составляет около 350\$ и по количеству PCI-слотов она наиболее приемлема.

Существенно, что при использовании Ballypuey3, укомплектованных 4-мя мезонинами Ballyriff, на 16-слотовом Backplane может быть размещено до 128 приемных каналов ЦАР. При этом в циклограмме работы решетки для процедуры диаграммообразования должно отводиться не менее 50 мксек, чтобы осуществлять передачу результатов ЦДО по PCI-шине на последующие узлы обработки. Впрочем, установка на Ballypuey3 достаточной по объему памяти позволяет рассчитывать на обмен с PCI-шиной и в не столь интенсивных режимах, с учетом возможных пауз в обновлении информации.

Минимальные стоимости типовых вариантов построения ЦАР, соответствующие использованию в мезонинах чипов FPGA серии XCV400 (600), проиллюстрированы в табл. 2. Приведенные ориентировочные сметы свидетельствуют, что в пересчете на один канал фирма Nallatech позволяет получить пока самые дешевые решения для систем ЦДО среди зарубежных фирм и даже обходит по данному показателю DSP-продукцию московского АО «Инструментальные системы».

Таблица 2

Тип оборудования	Цена, тыс. долл.
Мезонин АЦП Ballyriff	4,378 (FPGA XCV400-6)
Мезонин ЦАП Ballydac	4,076 (FPGA XCV600E-6)
Комплект ЦОС для:	
8-элементной приемной ЦАР	23,5
8-элементной передающей ЦАР	22,3
трехгранной (3×8) приемоперед. ЦАР	135
шестигранной (6×8) приемоперед. ЦАР	275
цилиндрической (8×8) приемоперед. ЦАР	367

Особенностью рассмотренных PCI-плат PICMG (спецификация PCI Industrial Computer Manufacturer's Group) является наличие на них специальных разъемов для установки промышленного варианта платы управляющего процессора, например, на базе Pentium-III, позволяющего реализовать помимо хост-функций многоканальное ЦДО в темпе формирования результатов дополнительного стробирования отсчетов АЦП или обновления данных на вхо-

дах ЦАП. В настоящее время на территории СНГ широко распространены Pentium-совместимые промышленные модули различных зарубежных фирм. Среди всего их многообразия в качестве примера для реализации действующего макета системы ЦДО можно рекомендовать PCI-совместимый модуль типа ROBO-658 упомянутой тайваньской компании Portwell. Он рассчитан на установку процессора Pentium-III (FCPGA) с тактовой частотой до 1 ГГц (FSB до 133 МГц) и содержит два DIMM-разъема для размещения до 512 МБ SDRAM. По сути, ROBO-658 является продвинутым аналогом обычных материнских плат персональных компьютеров, но в отличие от таковых рассчитан на установку в PICMG-Backplane. При этом на него интегрированы AGP-видеоадаптер с емкостью видео-ОЗУ 4 МБ, 2 IDE-контроллера ATA66 для подключения винчестеров и приводов CD/RW(ROM), порты для флоппи-дисководов, принтера, COM-порты, Ultra-III SCSI разъем (темп передачи данных до 160 Мбайт/с) и, наконец, 10/100BaseT Ethernet-port для реализации локальной сети со скоростью обмена до 100 Мбит/с. На этот процессорный модуль может устанавливаться микросхема 288 МБ Flash-диска под запись программного обеспечения или экспериментальных данных. Ориентировочная стоимость платы ROBO-658 в указанной комплектации без учета процессора составляет более 900\$. Аналогичные решения для HOST-процессоров имеются и в классе CompactPCI-интерфейсов.

Помимо зарубежных разработок на рынке СНГ доступен вполне конкурентноспособный ряд оригинальных FPGA-модулей ЦОС местного дизайна. В частности, воронежская фирма Scan Engineering Telecom предлагает инструментальные модули XDSP 680 и XDSP-3MP. Платы XDSP позволяют установить до четырех ПМЛЭ Xilinx, а с помощью разъемов расширения — и мезонины АЦП (ЦАП). Привлекательной особенностью XDSP-3MP является интеграция двух 12-битных АЦП с частотой такта 105 МГц (AD9432) непосредственно на плату, без дополнительного использования промежуточных интерфейсных соединений. Аналогичное, но более компактное решение имеет в арсенале днепропетровский Пульсар Лтд. Его модуль ЦОС для PCI v2.1 (2.2) отличается заметно меньшими габаритами по сравнению с воронежской платой XDSP-3MP, не уступая ей в производительности. Один такой модуль может подключаться на два квадратурных аналоговых канала антенного элемента. Возможность использования интерфейса PCI с частотой 66 МГц и разрядностью шины данных 64 бит открывает перспективы для создания по такой модульной технологии простейших плоских ЦАР (до 16 элементов в строке), ориентированных на метровый и дециметровый диапазоны длин волн.

В настоящее время трудно судить о возможном динамическом диапазоне цифровых приемных устройств, выполненных на основе рассмотренных мо-

дулей. Качественная сторона их функционирования в составе многоканальных комплексов может быть реально оценена только при непосредственном исследовании работоспособности ЦАР по тестовым сигналам.

Одной из последних FPGA-разработок Scan Engineering Telecom является CompactPCI-модуль XDSP-16CP, в котором установлено 16 независимых 8-разрядных АЦП AD9288 с частотой дискретизации 100 МГц. К сожалению, небольшой динамический диапазон АЦП существенно ограничивает область применения этой новинки. Тем не менее такой прорыв в канальности модуля высокоскоростных АЦП является достаточно показательным и позволяет говорить о безоговорочном преимуществе FPGA-подхода.

Как следует из изложенного выше, наращивание количества каналов более 32 на один PCI-Vacplane является неоправданным для высокоскоростных приложений в виду недостаточной производительности PCI-шины. Преодоление 64-канального рубежа при все тех же ограничениях на обработку в 3 мкс представляется возможным только на основе перехода к более скоростным протоколам обмена. В этой связи, наряду с упоминавшимися разработками Arizona Digital Inc, достаточно привлекательной является идея использования новых скоростных версий последовательных интерфейсов, первым среди которых стал IEEE1394b, обеспечивающий передачу данных на расстояние до 100 м со скоростью до 3,2 Гбит/с (в зависимости от применяемого типа соединения — меди, оптоволокну и т. д.). Очевидно, что возможность передачи цифровых сигналов на десятки метров в рамках такой схемотехники предоставляет больше свободы в конструктивном исполнении РЛС или базовой станции сотовой связи по сравнению с использованием традиционных параллельных интерфейсов. Модули ЦОС, содержащие интегрированный в ПМЛЭ протокол IEEE1394b, могут производиться в унифицированном варианте под любой конструктивный фактор (6U, 3U CompactPCI и т. д.). Цифровой же диаграммоформирователь вместе с концентратором IEEE1394b и хост-процессором на первых порах будут достаточно специфичным узлом и потребуют изготовления под заказ.

Завершая рассмотрение основных схемотехнических подходов к реализации ЦАР, следует отметить, что наиболее узким местом современных технологий являются все еще недостаточное быстродействие АЦП и ЦАП, низкая пропускная способность интерфейсов межмодульных соединений. Темпы же роста производительности FPGA и DSP существенно опережают возможности средств ввода-вывода цифровых данных. Прогресс в решении этих проблем неизбежно расширит сферы применения ЦАР и функциональные возможности радиотехнических систем, созданных на их основе.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Слюсар В. И. Цифровые антенные решетки: будущее радиолокации. // Электроника : НТБ.— 2001.— № 3.— С. 42—46.
2. Слюсар В. И. Цифровое формирование луча в системах связи: будущее рождается сегодня // Электроника : НТБ.— 2001.— № 1.— С. 6—12.
3. Буткевич В., Куликов В. Универсальные платы АЦП для шины PCI // Chipnews.— № 7.— 1999.
4. Патент РФ на изобретение № 2103768. МПКН01Q 3/36, 29/10. Способ коррекции амплитудно-фазовых характеристик первичных каналов плоской цифровой антенной решетки // Слюсар В. И., Покровский В. И., Сахно В. Ф.— Заявл. 16.10.92 г.— Оpubл. 27.01.98 г.— БИ № 3.

ЦНИИ вооружения и военной техники, г. Киев.

Поступила в редакцию 14.01.02.

УДК 621.396.969

СОРОЧАН А. Г.

ПОТЕНЦИАЛЬНАЯ ТОЧНОСТЬ J -КОРРЕЛЯЦИОННОГО МЕТОДА ПЕЛЕНГАЦИИ

Определена зона нечувствительности измерения временной задержки, получены соотношения потенциальной точности J -корреляционного метода пеленгации. Дана сравнительная оценка потенциальной точности рассматриваемого метода с известным соотношением потенциальной точности.

Точность любого метода пеленгации определяется уровнем шумового сигнала в радиоприемном устройстве. В связи с этим необходимо дать оценку точности измерения J -корреляционным методом (ЖКМ) пеленгации.

Цель работы — оценка потенциальной точности ЖКМ-пеленгации.

В [1] определена зависимость выходного напряжения в ЖКМ-пеленгации при приеме сигнала модулированного по частоте гармоническим колебанием частотой Ω с индексом модуляции β от пространственной временной задержки τ сигналов, поступающих на две разнесенные в пространстве антенны, которая с учетом действия шумов для метода минимума запишется в виде

$$U_{\text{вых}}(\tau) = U_0 \log \left[K \left[\sum_{n=1}^{\infty} J_n(\beta') J_n(\beta'') + \sigma_{\text{ш}} / U_c \right] \right], \quad (1)$$

где U_0 — множитель, определяющий амплитуду выходного сигнала; K — коэффициент пропорциональности; $J_n(\beta')$ — функция Бесселя от формируемого в опорном канале постоянного индекса модуляции β' [1]; $J_n(\beta'')$ — функция Бесселя от формируемого в регулируемом канале переменного индекса